

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-070270  
(43)Date of publication of application : 10.03.1998

(51)Int.CI. H01L 29/78  
H01L 21/225  
H01L 21/265  
H01L 21/336

(21)Application number : 09-155481 (71)Applicant : TEXAS INSTR INC <TI>  
(22)Date of filing : 12.06.1997 (72)Inventor : HU JERRY CHE-JEN  
HONG QI-ZHONG  
HSIA STEVE  
CHEN IH-CHIN

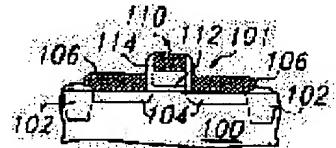
(30)Priority  
Priority number : 96 19625 Priority date : 12.06.1996 Priority country : US

## (54) EXTREMELY SHALLOW JUNCTION REGION FOR SUBMICRON DEVICE AND FABRICATION THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for forming an extremely shallow junction region for submicron device having low sheet resistance and good leakage characteristic.

SOLUTION: Silicon is deposited on a substrate 100 and a high position S/D(source and drain) 106 is formed. A metal film is then deposited thereon and a silicide is formed through reaction of the metal film and silicon. Preferably, silicon is consumed completely when the silicide is formed. Required additives are implanted into the metal film before forming the silicide or into the silicide after forming the silicide. In order to purge the impurities from the silicide, annealing is performed at high temperature and a junction region 104 having depth of 200&angst; or less is formed in the substrate 100.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (uspto)

H-00ED0504

EP(DE, FR, GB, IT, NL)

P-651

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-70270

(43)公開日 平成10年(1998)3月10日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78			H 01 L 29/78	3 0 1 S
21/225			21/225	M
21/265		9277-4M	21/265	6 0 2 B
21/336			29/78	3 0 1 P

審査請求 未請求 請求項の数 2 OL (全 7 頁)

(21)出願番号 特願平9-155481

(22)出願日 平成9年(1997)6月12日

(31)優先権主張番号 019625

(32)優先日 1996年6月12日

(33)優先権主張国 米国(US)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッドアメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500(72)発明者 ジェリー チェー イエン フー  
アメリカ合衆国テキサス州ダラス, フォレ  
スト レーン 9669, ナンバー 2608(72)発明者 クイー ツォン ホン  
アメリカ合衆国テキサス州ダラス, フォレ  
スト レーン 9601, ナンバー 521

(74)代理人 弁理士 浅村皓(外3名)

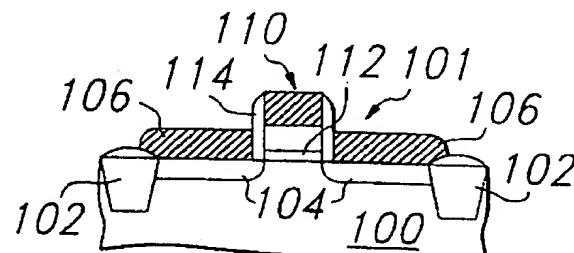
最終頁に続く

(54)【発明の名称】サブミクロン・デバイスのための極めて浅い接合領域とその製造法

## (57)【要約】

【課題】小さなシート抵抗値と良好な漏洩特性とを有する、サブミクロン・デバイスのための極めて浅い接合領域を作成する方法を提供する。

【解決手段】シリコンの膜が基板100の上に沈着されることにより、高位置S/D106が作成される。このシリコン膜の上に金属の膜が沈着され、そしてこの金属膜とシリコン膜との反応が行われて、ケイ化物膜108が作成される。このケイ化物膜が形成される際、シリコン膜が完全に消費されることが好ましい。ケイ化物膜の形成の前に金属膜の中に、またはケイ化物膜の形成の後にケイ化物膜の中に、必要な添加不純物の注入が行われる。この添加不純物をケイ化物膜から外に駆動するために高温度での焼き鈍しが行われ、それにより基板100の中に200オングストローム以下の深さを有する接合領域104が作成される。



## 【特許請求の範囲】

【請求項1】 半導体基板の上にケイ化物の膜を作成する段階と、

前記ケイ化物の膜に添加不純物を注入する段階と、浅い接合領域を作成するために、前記半導体基板の中に前記添加不純物が拡散するように前記ケイ化物の膜に焼き鈍しを行う段階と、を有する、半導体基板の中に浅い接合領域を作成する方法。

【請求項2】 半導体基板の中に配置され、かつおのが半導体基板の中に200オングストローム以下の深さを有する、ソース拡散領域およびドレイン拡散領域と、

ケイ化物部材で構成され、かつ前記ソース拡散領域および前記ドレイン拡散領域の上にそれぞれ配置された、高い位置のソース領域および高い位置のドレイン領域と、前記高い位置のソース領域と前記高い位置のドレイン領域との間に配置されたゲート酸化物領域と、

前記ゲート酸化物領域の上に配置されたゲート電極と、を有する、MOSFETトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、全体的にいえば、半導体処理工程に関する。さらに詳細にいえば、本発明はサブミクロン・デバイスのための極めて浅い接合領域の作成に関する。

## 【0002】

【発明が解決しようとする課題】 デバイスの寸法がますます小さくなっているので、MOSFETトランジスタのソースおよびドレイン(S/D)領域のための極めて浅い接合領域を作成することがますます重要になってきている。しかしこれらの極めて浅い接合領域は、小さなシート抵抗値と小さな接合漏洩とを保持しなければならない。ゲートの長さが0.1μm以下にまで小さくなつた時、短チャネル効果(SCE, short channel effects)によりデバイスの特性が劣化することがあるがそれを防止するために、500オングストロームよりも浅い深さを有するS/D接合が必要である。

【0003】 浅い接合を作成する先行技術による1つの方法は、拡散源としてのケイ化物(SADS, Silicide as a Diffusion Source)を用いることである。この方法では、構造体の上に、蒸着/スパッタリングによりコバルトの層が作成される。このコバルトの層は12.5nmの厚さに作成される。その後、コバルトのケイ化物を作成するために、高速熱処理(RTA, rapid thermal anneal)が窒素雰囲気中で約500℃の温度で約20秒間行われる。そしてこの際に未反応であったすべてのコバルトを除去するために、選択的コバルト・エッチングが行われる。その後、窒素雰囲気中で約800℃で

約10秒間、第2のRTAが行われる。その後、このケイ化物は所要の添加不純物での注入が行われる。その後、第3のRTAが行われ、それにより添加不純物がこのケイ化物から外に駆動され、接合領域が形成される。図1は、このようにして形成されたデバイス構造体の図である。ケイ化物層14からの拡散により、接合領域16が形成される。ケイ化物層14の一部分は、ゲート電極18の上にも存在する。SADSにはいくつかの利点がある。第1の利点は、注入による損傷がケイ化物領域に限定されることである。このことは、この注入損傷により生ずる添加不純物の過渡的に増強された拡散(TED, transient enhanced diffusion)を妨げ、そして浅い接合の形成を助けることができる。第2の利点は、接合がケイ化物層から拡散するので、接合の輪郭線はケイ化物の輪郭線と同じである。このようにして、高電界効果が局在化することを避けることができ、そしてケイ化物と冶金学的接合との間の最小距離を小さくすることができる。例えば、漏洩特性が良好である接合でも、この距離を100~150オングストローム程度に小さくすることができる。他方、接合を作成した後にケイ化物を作成する従来の処理工程では、良好な漏洩特性を確実に得るために、450オングストロームのケイ化物の場合、900オングストロームの距離が必要である。従来のSADSの欠点は、ケイ化物と冶金学的接合との間の距離を小さくすることができるが、ケイ化物の厚さと拡散の深さとを含めた基板の中への接合の全体の深さを小さくすることはできないことである。シート抵抗値と良好な接合漏洩特性とを保持したまま、接合の全体の深さが600オングストローム以下である接合を作成することは非常に困難である。それは、ケイ化物層の厚さがあまりにも小さい(<400オングストローム)時、高温度での段階におけるケイ化物の凝集は、膜のシート抵抗値と接合の完全性とを大幅に劣化させるという事実によるからである。

【0004】 浅い接合を作成するまた別の方法は、高い位置のソースおよびドレイン(ESD, elevated source and drain)を用いる方法である。図2a~図2eは、ESDに対する典型的な処理工程の流れを示した図である。図2aでは、ポリシリコン・ゲート26の上に窒化物マスク24を用いてソース/ドレイン注入が行われ、それにより注入された領域28ができる。次に、図2bに示されているように、側壁スペーサ30が作成される。その後、窒化物マスク24が除去され、そして図2cに示されているようにチャネル注入が行われる。その後、選択的多結晶シリコン層が基板の上に沈着され、それにより図2dに示されているように高い位置のS/D32が作成される。最後に、図2eに示されているように、高い位置のS/D32およびポリシリコン・ゲート26がケイ化物化され

る。深いS/Dの接合の深さを小さくするためにのみ、ESDが用いられる。従来のデバイス構造体では、接合が作成された後ケイ化物が深いS/Dの上に作成されるから、ケイ化物のスパイクにより生ずる漏洩の問題点を防止するために、1300オングストロームの接合の深さが必要である。深いS/DにESD処理工程を用いることにより、深いS/Dに対し良好な電気的信頼性と小さなシート抵抗値とを保持しながら、シリコン基板表面の下の接合の深さを大幅に小さくすることができる。ESDによりデバイスの特性を改善することができるけれども、解決しなくてはならないいくつかの問題点がある。例えば、デバイスの寸法が小さくなる時、SCEに対する深いS/Dよりも、S/Dが広がっている範囲での接合の深さはさらに重要になる。従来のESDは、深いS/Dの広がりが形成された結果を述べていない。また従来のESDで200オングストロームの接合の深さを作成する場合、ケイ化物スパイクが接合の中にできることにより信頼性が低下するという問題点が生ずるので防止するために、沈着される多結晶シリコン膜の厚さは約1000オングストロームはあることが必要である。

#### 【0005】

【課題を解決するための手段】本発明において、極めて浅い接合領域を作成するための方法が開示される。基板の上にシリコンの膜が沈着され、それにより高位置S/Dが作成される。このシリコン膜の上に金属の膜が沈着され、そしてこの金属膜とシリコン膜との反応が行われて、ケイ化物の膜が作成される。このケイ化物膜が作成される際、シリコン膜が完全に消費されることが好ましい。ケイ化物の作成の前に金属膜の中に、またはケイ化物の作成の後にケイ化物膜の中にのいずれかで、所望の添加不純物の注入が行われる。この添加不純物をケイ化物膜から外に駆動するために高温度での焼き鈍しが行われ、それにより接合領域が作成される。この高温度焼き鈍しはケイ化物化処理工程の一部分である焼き鈍しの1つであることもできるし、または付加的な処理工程段階であることもできる。

【0006】本発明の1つの利点は、200オングストロームよりも小さな深さを有する極めて浅い接合領域が得られることである。

【0007】本発明の別の利点は、小さなシート抵抗値と良好な漏洩特性とを有する、200オングストロームよりも小さな深さを有する極めて浅い接合領域が得られることである。

【0008】本発明のさらに別の利点は、極めて浅い接合領域と共に、小さな厚さを有する高位置S/Dが得られることである。

【0009】これらの利点およびその他の利点は、添付図面を参照しての下記の詳細な説明により、当業者には容易に理解できるであろう。

#### 【0010】

【発明の実施の形態】図面は異なっても特に断らない限り、対応する部品には対応する番号および記号が付される。

【0011】MOSFETトランジスタのソース領域およびドレイン領域の浅い接合を作成することに関連して、本発明を説明する。けれども、本発明は他の通常の浅い接合の作成にも応用することができ、したがって本発明の範囲は下記で説明されるトランジスタ構造体に限定されるわけではない。

【0012】図3は、本発明によって作成された極めて浅いS/D接合領域104を有するMOSFETトランジスタ101の図である。トランジスタ101は半導体本体/基板100の上に作成され、そしてフィールド酸化物領域102により他のトランジスタ（図示されていない）から分離される。トレンチ分離のような他の形式の分離技術も当業者にはよく知られており、そしてフィールド酸化物領域102の代わりにこのような他の形式の分離技術を用いることもできる。従来の方式に従って、トランジスタ101はゲート電極110を有し、そしてこのゲート電極110はゲート誘電体領域112により半導体基板100から分離される。ゲート電極110の構成は本発明にとってそれ程重要ではなく、例えば、ポリシリコン部分とその上に配置されたケイ化物で構成することができる。ゲート電極110に隣接して、側壁スペーサ114が配置される。

【0013】トランジスタ101は高位置S/D構造体106を有する。高位置S/D構造体106は、半導体基板100の上に直接に配置されたコバルト・ケイ化物、チタン・ケイ化物、またはタンゲステン・ケイ化物のような、ケイ化物部材で構成される。これは、先行技術による高位置S/D構造体とは異なる。先行技術による高位置S/D構造体では、高位置S/D構造体の上側表面だけがケイ化物であり、高位置S/D構造体の残りの部分はエピタクシャル・シリコン膜のままである。高位置S/D構造体106はまた、先行技術による高位置S/D構造体よりも薄い。それは、ケイ化物が作成された後、高位置S/D構造体106からS/D接合領域が拡散し、したがってケイ化物の輪郭に追随するために、下にある接合領域の中にケイ化物がスパイキングする問題点に関しては心配することはないからである。このことは、下記でさらに詳細に説明する。S/D接合領域104は半導体基板100の中で一定の深さを有する。この一定の深さは、200オングストローム以下であることが好ましい。したがってS/D接合領域104は、小さなシート抵抗値と小さな漏洩電流とを保持したまま、 $0.1\mu m$ のように小さなゲート線幅を有するトランジスタに用いることができる。

【0014】本発明に従ってトランジスタ101を作成する方法を、図4a～図4fで説明する。図4aは、側壁スペーサ114の作成の段階にまで処理工程が行われた

トランジスタ101の図である。ゲート層116の表面上に広がっている側壁スペーサ114を作成するために、窒化物マスクのようなダミー・マスクを用いることができる。けれどもまたは、図5に示されているように、側壁スペーサ114はゲート層116の表面と同じ高さで広がるように作成することもできる。ゲート層116は典型的にはポリシリコンで構成されるが、他の導電体部材を用いることもできる。従来の処理工程にはあったLDD (lightly doped drain、少量の不純物が添加されたドレイン) 拡張領域が、この時点の以前には作成されていないことに注目すべきである。

【0015】図4bに示されているように、半導体基板100とゲート層116（もしそれがポリシリコンで構成されているならば）との露出された表面の上に、シリコンの層120が選択的に作成される。シリコン層120は、例えば、単結晶シリコン、または多結晶シリコン、またはアモルファス・シリコンであることができる。シリコン層120は、100オングストロームないし1000オングストロームの程度の厚さにまで沈着される。この厚さの範囲内で、好ましい厚さの範囲は350オングストローム～500オングストロームである。ケイ化物化工程の期間中、この構造体にまで達するケイ化物のスパイクが生ずることがある。接合の後にケイ化物の作成が行われる先行技術の処理工程では、接合の深さよりも深く延長されたスパイクが発生するのを防止するために、ケイ化物と接合の底部との間に十分の距離がなければならない。そうでないと、受け入れることができない程に大きな漏洩が起きことがある。その結果、デバイスの特性に及ぼすケイ化物スパイクが生ずることによる悪影響を防止するために、先行技術のS/D処理工程は典型的には、1000オングストロームの程度の厚さのエピタクシャル・シリコンが必要である。

【0016】次に、図4cに示されているように、この構造体の上に耐火金属の層122が沈着される。耐火金属層122はコバルトで構成されることが好ましいが、チタンやタンガステンのような他の耐火金属で構成することもできる。耐火金属層122の厚さは、ケイ化物化工程の技術により決定される。ケイ化物化工程の期間中に、シリコン層120の全部が消費されることが好ましい。その後のケイ化物処理工程の期間中に、シリコン層120／半導体基板100の界面がまた消費されることが好ましい。シリコン層120と耐火金属層122との厚さは、後で作成されるケイ化物／半導体基板の界面がゲート酸化物／半導体基板の界面の深さと同じ深さであるまたは小さな深さであるように選定される。耐火金属層122は前記の制約条件に従って選定される。例えば、コバルトを用いる場合、シリコン層120の厚さと同程度の耐火金属層の厚さが（例えば、約10～500オングストロームの厚さ）好ましい。

【0017】その後、耐火金属層122がシリコン層120と反応し、図4dに示されているように、ケイ化物108が作成される。この反応は、炉の中または高速熱処理(RTP、rapid thermal process)のいずれかで行うことができる。この反応に対するRTPは、約550℃の程度の温度で窒素雰囲気中で30秒間の条件で行われることが好ましい。耐火金属ケイ化物108は、シリコン層120のような部材を含むシリコンの上に形成される。耐火金属はまた窒素雰囲気と反応して、耐火金属窒化物を形成することができる。未反応の耐火金属のいくらかがまた残ることがある。次に、残っている未反応の耐火金属のすべておよび耐火金属窒化物のすべてが選択的に除去される。その後、耐火金属窒化物の抵抗値を小さくするために、焼き鈍しが行われる。例えば、700～900℃の範囲の温度で窒素雰囲気中で10～30秒間、RTPを行うことができる。

【0018】もし必要ならば、前記の処理工程の代わりにケイ化物の選択的化学蒸気沈着(CVD、chemical vapor deposition)を用いて、ケイ化物108を作成することができる。もしケイ化物の選択的CVDが実行されるならば、シリコンの層120を作成する段階と、耐火金属の層122を沈着する段階と、耐火金属の層122とシリコンの層120とを反応させる段階と、ケイ化物108を作成するための焼き鈍しの段階とを、省略することができる。

【0019】図4eに示されているように、ケイ化物層108がどのような方法で作成されるかにはかかわらず、必要な不純物の選択的注入がケイ化物層108に対して行われる。CMOS処理工程では、N形トランジスタに対してはN形添加不純物が用いられ、そしてP形トランジスタに対してはP形添加不純物が用いられる。その後、ケイ化物層108からその外に不純物を駆動するために焼き鈍しが行われ、その結果、図3に示されているように、S/D接合領域104が作成される。例えば、この焼き鈍しには750～950℃の範囲の温度で、窒素雰囲気中で10～20秒間のRTPを用いることができる。このことにより、半導体の表面の中に、深さが200オングストローム以下の接合ができる。

【0020】または、ケイ化物化工程の前に注入を実行することができる。この場合、添加不純物は耐火金属の層122の中に注入される。その後、ケイ化物化工程の反応段階を用いて、添加不純物が半導体基板の中に駆動される。または、耐火金属窒化物とすべての未反応の耐火金属とが除去された後、ケイ化物化工程のすぐ前に、この注入を実行することができる。その後、ケイ化物化工程の焼き鈍し段階を用いて、添加不純物が半導体基板の中に駆動され、それにより接合領域104が作成される。これらの場合のいずれにおいても、第3の熱処理（すなわち、ケイ化物化工程の後に行われるような前記

で説明した焼き鈍し)を省略することができる。それは、ケイ化物化工程の1つの熱処理工程の期間中に、接合領域が作成されるからである。

【0021】半導体基板の中に直接に注入を行う代わりに、ケイ化物層108または耐火金属層122の中に注入を行うことは、いくつかの利点を有する。第1の利点は、接合領域の中よりもケイ化物層108または耐火金属層122の中に、注入損傷が起こることである。その結果、TED(transient enhanced diffusion、過渡的に増強された拡散)が抑制される。第2の利点は、注入の損傷が耐火金属層122またはケイ化物層108の中に起こるために、注入損傷を焼き鈍しで除去するのに、さらに低い温度で焼き鈍しを行うことができることである。焼き鈍し温度が低いと、その結果、接合の深さがさらに浅くなるという結果が得られる。

【0022】さらに、ケイ化物層108の後に接合104が作成されるから、沈着されたシリコン層120の厚さを、従来のS/D処理工程よりも大幅に小さくすることができます。これは、発生するすべてのケイ化物スパイクを有するケイ化物層108から、接合領域が拡散されるという事実による。したがって、スパイクが接合の深さを越えて延長することはできなく、そして付加的漏洩が起きることもない。またケイ化物の中における添加不純物の阻止能力は、シリコンの中の阻止能力よりも大きい。その結果、注入エネルギーが同じ場合、注入された添加不純物をケイ化物の中に閉じ込めるには、さらに薄いケイ化物膜で十分である。このことはまた、接合漏洩または接合深さに及ぼす注入損傷の影響を減少させる。さらに、半導体基板とシリコン層120との間の界面は、先行技術の高位置S/D処理工程よりも重要ではない。それは、この界面に残留するすべての酸化物を除去することができるケイ化物化処理工程の期間中に、この界面を消費することができるからである。このことは、シート抵抗値およびソースとドレインの間の接触抵抗値を小さくするのに役立つ。

【0023】本発明が例示された実施例について説明されたが、これらの説明は、本発明の範囲がこれらの実施例に限定されることを意味するものではない。本発明の他の実施例と共に、例示された実施例を種々に変更した実施例および種々に組み合わせた実施例が可能であることは、前記説明を参照すれば当業者には容易に分かるであろう。したがって、このような変更実施例はすべて、本発明の範囲内に包含されるものと理解されなければならない。

【0024】以上の説明に関して更に以下の項を開示する。

(1) 半導体基板の上にケイ化物の膜を作成する段階と、前記ケイ化物の膜に添加不純物を注入する段階と、浅い接合領域を作成するために、前記半導体基板の中に

前記添加不純物が拡散するように前記ケイ化物の膜に焼き鈍しを行う段階と、を有する、半導体基板の中に浅い接合領域を作成する方法。

(2) 第1項記載の方法において、ケイ化物の膜を作成する前記段階が前記半導体基板の上にシリコンの膜を作成する段階と、前記シリコン膜の上に耐火金属層を作成する段階と、前記ケイ化物の膜を作成するために、前記耐火金属層を前記シリコン膜と反応させる段階と、を有する、前記方法。

(3) 第2項記載の方法において、前記注入段階の前に前記ケイ化物の膜に焼き鈍しを行う段階をさらに有する、前記方法。

(4) 第2項記載の方法において、前記シリコン膜が多結晶シリコンの膜である、前記方法。

(5) 第2項記載の方法において、前記シリコン膜がアモルファス・シリコンの膜である、前記方法。

(6) 第2項記載の方法において、前記シリコン膜が単結晶シリコンの膜である、前記方法。

(7) 第2項記載の方法において、前記耐火金属層がコバルトで構成される、前記方法。

(8) 第2項記載の方法において、前記シリコン膜の厚さが350~500オングストロームの程度である、前記方法。

(9) 第2項記載の方法において、前記耐火金属の前記層が100~200オングストロームの程度の厚さにまで沈着される、前記方法。

(10) 第2項記載の方法において、前記反応段階において前記シリコン膜の全部が消費される、前記方法。

(11) 第2項記載の方法において、前記反応段階において前記シリコン膜と前記半導体基板との間の界面が消費される、前記方法。

(12) 第1項記載の方法において、前記ケイ化物の膜を作成する前記段階が選択的化学蒸気沈着を用いてケイ化物を選択的に沈着する段階を有する、前記方法。

(13) 第1項記載の方法において、前記接合領域が200オングストローム以下の深さにまで拡散する、前記方法。

【0025】(14) 半導体基板の上に厚さが500オングストローム以下のシリコン膜を作成する段階と、前記シリコン膜の上に耐火金属層を作成する段階と、前記シリコン膜の全部を消費してケイ化物膜を作成するために、前記耐火金属層を前記シリコン膜と反応させる段階と、前記ケイ化物膜に添加不純物を注入する段階と、浅いS/D接合領域を作成するために、前記半導体基板の中に200オングストローム以下の深さにまで前記添加不純物が前記半導体基板の中に拡散するように、前記ケイ化物膜に焼き鈍しを行う段階と、を有する、半導体基板の中に浅いS/D接合領域を作成する方法。

(15) 第14項記載の方法において、前記注入段階の前に前記ケイ化物の膜に焼き鈍しを行う段階をさらに

有する、前記方法。

(16) 第14項記載の方法において、前記シリコン膜が多結晶シリコンの膜である、前記方法。

(17) 第14項記載の方法において、前記シリコン膜がアモルファス・シリコンの膜である、前記方法。

(18) 第14項記載の方法において、前記シリコン膜が単結晶シリコンの膜である、前記方法。

(19) 第14項記載の方法において、前記反応段階において前記シリコン膜と前記半導体基板との間の界面が消費される、前記方法。

(20) 半導体基板の上にシリコン膜を作成する段階と、前記シリコン膜の上に耐火金属層を作成する段階と、前記耐火金属層に添加不純物を注入する段階と、ケイ化物膜を作成するために、前記耐火金属層を前記シリコン膜と反応させる段階と、浅いS/D接合領域を作成するために、前記半導体基板の中に前記添加不純物が前記半導体基板の中に拡散するように、前記ケイ化物膜に焼き鈍しを行う段階と、を有する、半導体基板の中に浅いS/D接合領域を作成する方法。

(21) 第20項記載の方法において、前記シリコン膜が500オングストローム以下の厚さを有する多結晶シリコン膜である、前記方法。

(22) 第20項記載の方法において、前記シリコン膜が500オングストローム以下の厚さを有するアモルファス・シリコン膜である、前記方法。

(23) 第20項記載の方法において、前記反応段階において前記シリコン膜と前記半導体基板との間の界面が消費される、前記方法。

(24) 第20項記載の方法において、前記接合領域が200オングストローム以下の深さにまで拡散する、前記方法。

【0026】(25) 半導体基板の中に配置され、かつおのが半導体基板の中に200オングストローム以下の深さを有する、ソース拡散領域およびドレイン拡散領域と、ケイ化物部材で構成され、かつ前記ソース拡散領域および前記ドレイン拡散領域の上にそれぞれ配置された、高位置ソース領域および高位置ドレイン領域と、前記高位置ソース領域と前記高位置ドレイン領域との間に配置されたゲート酸化物領域と、前記ゲート酸化物領域の上に配置されたゲート電極と、を有する、MOSFETトランジスタ。

(26) 第25項記載のMOSFETトランジスタに

おいて、前記ケイ化物部材がコバルト・ケイ化物で構成される、前記MOSFETトランジスタ。

【0027】(27) 本発明により、極めて浅い接合領域104を作成する方法が得られる。シリコンの膜(単結晶、多結晶、またはアモルファスの膜)が基板100の上に沈着されることにより、高位置S/D106が作成される。このシリコン膜の上に金属の膜が沈着され、そしてこの金属膜とシリコン膜との反応が行われて、ケイ化物膜108が作成される。このケイ化物膜が形成される際、シリコン膜が完全に消費されることが好ましい。ケイ化物膜の形成の前に金属膜の中に、またはケイ化物膜の形成の後にケイ化物膜の中に、必要な添加不純物の注入が行われる。この添加不純物をケイ化物膜から外に駆動するために高温度での焼き鈍しが行われ、それにより基板100の中に200オングストローム以下の深さを有する接合領域104が作成される。この高温度での焼き鈍しはケイ化物処理工程の一部分である1つの焼き鈍しであることができ、またはそれは付加的な処理工程段階であることもができる。

#### 【図面の簡単な説明】

【図1】拡散源処理工程としてのケイ化物により作成された先行技術によるトランジスタの横断面図。

【図2】先行技術による高位置S/D処理工程の横断面図であって、aは初期の段階の図、bはaの次の段階の図、cはbの次の段階の図、dはcの次の段階の図、eはdの次の段階の図。

【図3】本発明により作成されたトランジスタの横断面図。

【図4】本発明により作成されるトランジスタの製造の種々の段階における横断面図であって、aは初期の段階の図、bはaの次の段階の図、cはbの次の段階の図、dはcの次の段階の図、eはdの次の段階の図。

【図5】本発明のまた別の側壁スペーサ構造体の横断面図。

#### 【符号の説明】

100 半導体基板

104 ソース拡散領域およびドレイン拡散領域、接合領域

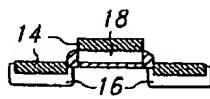
106 高位置ソース領域および高位置ドレイン領域

108 ケイ化物の膜

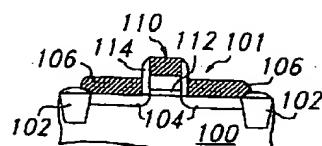
110 ゲート電極

112 ゲート酸化物層

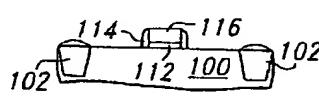
【図1】



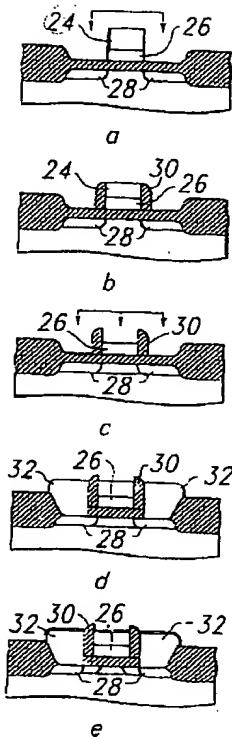
【図3】



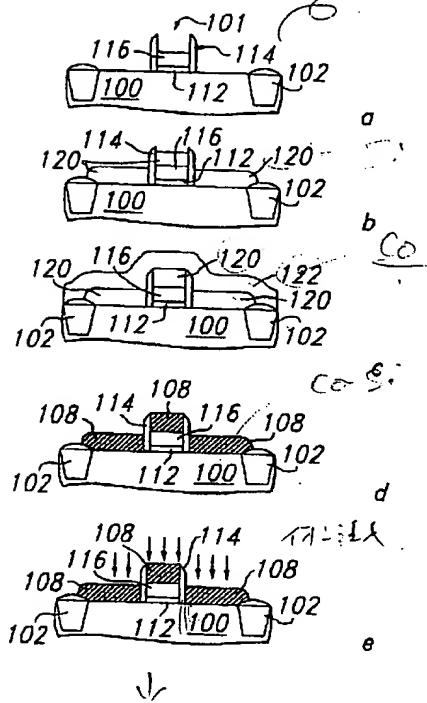
【図5】



【図2】



【図4】



フロントページの続き

(72)発明者 スチーブ シア  
アメリカ合衆国テキサス州プラノ, キャン  
プ ウッド コート 2801

(72)発明者 イー - チン チェン  
アメリカ合衆国テキサス州リチャードソン,  
フォックスボロ ドライブ 3100

THIS PAGE BLANK (USPTO)